

## JAPANESE PATENT PUBLICATION

Publication Number: Sho. 52-23532

Publication Date: May 24, 1977

Laid-open Number: Sho. 48-45143

5 Laid-open Date: June 28, 1973

Application Number: Sho. 46-79998

Filing Date: October 11, 1971

Inventor: Shunpei Yamazaki

Kouichi Hatakeyama

10 Applicant: TDK Corporation (Tokyo Denki Kagaku Kogyo Co., Ltd.)

Title of the Invention

Semiconductor Memory Device

## Scope of Claims

1. A semiconductor memory device having a charge trapping center layer composed  
15 of a lump cluster made of a semiconductor or a metal, or a film inside a gate insulating material, characterized in that; a capacitance formed between said trapping center layer and a gate electrode formed on the gate insulating material is larger than a capacitance formed between the trapping center layer and the semiconductor substrate beneath the gate insulating material.

20 2. A semiconductor memory device according to claim 1, characterized in that a source and a drain are formed with a distance with each other on the semiconductor substrate, and injection, trapping or recombination of excited electron or hole generated by a reverse bias between the drain and the source or the substrate is conducted by applying a positive or negative voltage on the gate electrode.

## 25 Detailed Description of the Invention

The present invention relates to a semiconductor memory device having a charge



RECEIVED  
JAN - 3 2000  
TC 2800 MAIL ROOM

trapping center layer composed of a lump cluster made of a semiconductor or a metal, or a film inside a gate insulating material, wherein a capacitance formed between such a layer and a gate electrode is larger than a capacitance formed between the trapping center layer and the semiconductor substrate.

5 The present invention relates to a semiconductor memory device comprising a MIS-FET (insulated gate field effect transistor) including, inside a gate insulating film, a charge trapping center layer formed by using a lump cluster or a film made of silicone or germanium that is a semiconductor, or of molybdenum or the like which is a metal, wherein a reverse bias is applied to the vicinity of a drain to generate avalanche plasma,  
10 and an injection or a trap of hole or electron into the trapping center layer is carried out by applying a positive or a negative voltage on the gate.

Up to now, a semiconductor memory needed several elements for one bit, because the recorded signal is volatile. Therefore, there has been a demand for a semiconductor memory device which is nonvolatile and records one bit with one element with a writing  
15 rate of  $1\ \mu\text{sec}$  or less in order to be comparable to a core memory. The present invention has been made to satisfy such a demand and the embodiment of the invention will be described hereinafter with reference to the drawings.

A silicon semiconductor with, for example, impurity of  $1 \times 10^{15} - 5 \times 10^{15}\ \text{cm}^{-3}$  with plane direction of (100) is used for a semiconductor substrate. Fig. 1 shows a source 3,  
20 a drain 4, a source lead 5 and a drain lead 6, which are formed on a substrate 1. A field silicon oxide 2 with a  $1\ \mu$  thickness is provided in order to remove or reduce capacitance coupling between the leads 5, 6 and the substrate 1. The oxide film 2 may be made by, after covering the portion constituting MIS-FET with a silicon nitride film, oxidizing the substrate at a temperature of  $900^\circ\text{C}$  in vapor, and then by removing the silicon nitride  
25 film and removing an excess portion so that the surface of the substrate 1 and the surface of the film 2 may be coplanar.

Thereafter, all of these are dried and subjected to thermal oxidation at  $1,200^\circ\text{C}$  under the dry or wet oxygen atmosphere, to a gate insulating film 10 having a thickness

of 500 - 3000 Å. Although the writing operation becomes easier as the oxide film is thinner, it has been found from experiments that when it is 100 Å thick or less, the avalanche state cannot be obtained many times, resulting in deterioration of interfacial characteristics, so that the film thickness should be 200 Å or more. Furthermore, on top of those, silicon or germanium is deposited by silane, germane or any other chloride gas to have an average thickness equal to or less than about 2000 Å, to thereby form a film constituting a charge trapping center layer 9. The deposition of germanium may be performed by vacuum evaporation and that of metal such as molybdenum may be performed by sputtering. If the average thickness of the film is equal to or less than 300 Å, the resulting film is in the form of lump cluster and does not have a so-called film structure. It has been found as a result of experiments that the trapping center layer 9 is not necessarily a silicon gate having a thickness of 3000 - 7000 Å and if a film having an average thickness of 2000 Å or less of lump cluster is used for the trapping center layer 9, electric charge may be injected and trapped as well. Then, to obtain a shape of 9, unnecessary portion of semiconductor layer 9 is removed by photo etching. After that, a thin insulating film is formed on the top surface of the semiconductor layer 9 with employing the following two methods. One of them is a method in which the entire portion thereof is subjected to oxidization at 700° - 1100°C under the atmosphere of wet oxygen, and such a semiconductor, e.g., a part of silicon is oxidized to form 8 as a silicon oxide film. In this way, the film 8 is formed to have a 500 Å thickness at most. The other is a method in which a material having a higher specific dielectric constant compared to silicon oxide, such as silicon nitride film, aluminum oxide, titanium oxide or tantalum oxide film is formed to have a 300 - 1000 Å thickness. As the silicon nitride film or aluminum oxide film is formed by a gas phase method, it was impossible to form a film with a thickness of less than 300 Å while eliminating a pinhole. In either case, the device employs a structure in which, compared with the thickness of the insulating film 10, the other insulating film 8 has a film thickness sufficiently small, or a material having a higher dielectric constant is used therefor, resulting in such a structure that the

capacitance of the trapping center layer is made larger than that of the substrate, which is a basic structure of the present invention. Thereafter, the portion other than the portion between A and B in Fig. 1 is removed by chemical etching.

Furthermore, then, poly-crystalline silicon doped with a large quantity of impurities is deposited to have a  $5000 \text{ \AA} - 1 \mu$  thickness over the whole part of the device. With this step, ohmic contact between the source 3 and the source lead 5 or between the drain 3 and the drain lead 6 is perfectly obtained.

Finally, the gate electrode, the source lead 5 and the drain lead 6 are formed by photo etching, and then diffusion of the source and the drain is carried out. The depth of diffusion of the source or the drain, especially of the drain, was made to be  $1 \mu$  or less, actually  $0.1 - 0.3 \mu$ . This step includes two characteristics. One of them resides in to reduce the reaction between the trapping center layer 9 and the surrounding insulating films 8, 10, which occurs due to heating of the trapping center layer 9, and the other resides in to reduce the necessary voltage for obtaining an avalanche state in the vicinity of the drain. Although the avalanche voltage is generated at a reverse bias region having a p-n junction in the vicinity of the drain, the reason thereof is that the smaller the radius of curvature of the drain end is, the lower the ratio of the impurity concentration of the drain and that of the substrate is, thereby being capable of lowering the avalanche voltage.

If the impurity concentration of the diffused drain is set to  $10^{19} \text{ cm}^{-3}$ , the avalanche voltage is decreased by 40% compared to the case of  $10^{20} \text{ cm}^{-3}$ . Therefore, in this embodiment, the impurity concentration of the drain was set to  $10^{18} \text{ cm}^{-3}$ .

To cause the avalanche plasma state, a voltage may be applied to between the source and the drain, otherwise between the substrate and drain. In either case, a reverse bias voltage is applied to the p-n junction in the vicinity of the drain, and the avalanche plasma state is generated at a region around the surface of the p-n junction where the electric field is concentrated. To define a location of an integrated circuit where the avalanche state is caused, it may employ a matrix structure with the gate placed alongside Y axis and

the line between the source and the drain placed alongside X axis. In order to eliminate such a structure, the avalanche state may be generated between the substrate and the drain.

The present invention was realized through the manufacturing steps described above. Fig.2 is a principle drawing theoretically indicating one of the present inventions. That is, a gate voltage  $V_g$  is applied onto the gate 7. Also, reference numeral 8 has  $C_1g_1$  (each indicates capacitance and conductance, respectively), and the capacitor 10 is represented by  $C_2g_2$ . The trapping center layer 9 has electric charge  $Q_{ss}$  caused by electron or hole. The opposite side of  $C_2g_2$  is connected to the substrate. In this situation, the gate voltage  $V_g$  is applied onto the gate, and  $Q_{ss}$  is expressed as the following equation.

$$Q_{ss} = V_g \cdot (g_1 C_2 - g_2 C_1) / (g_1 + g_2)$$

When a positive voltage or a negative voltage is applied onto the gate, electron or hole is accumulated in the trapping center layer 9, respectively, with the result that  $Q_{ss}$  can be increased by making  $g_2$  and  $C_1$  bigger and  $g_1 C_2$  smaller. Although  $g_2$  of general insulating material is almost zero,  $g_2$  looks to become bigger outwardly because electron or hole that is a carrier in a plasma state having an extremely high activating energy generated when an avalanche state is occurred in the drain. It is needless to say that the degree of  $g_2$  that becomes bigger as the thickness of film is smaller, whereas when the thickness of the film is made too thin, it became clear that insulating film itself is destroyed and a continuity state is provided between the trapping center layer 9 due to avalanche and. It should be thicker than 500 Å upon practical use. It is needless to say that  $g_2$  becomes almost zero when an avalanche state no longer exists. Simultaneously, in order to give  $Q_{ss}$  necessary charge density for memory, i.e.  $5 \times 10^{10} - 2 \times 10^{12} \text{ cm}^{-2}$ , and to make it possible to reduce voltage  $V_g$  applied onto the gate practically, it became clear that  $C_1$  is required to be made as big as possible compared to  $C_2$ . The present invention

has been made through such a scientific consideration.

When the silicon oxide film has a thickness of 3000 Å and a capacitance of 4 PF, and  $C_1$  is replaced with 4 PF, 40 PF and 400 PF, the gate voltage had to be 150 V, 40 V and 20 V, respectively, in order to inject electron, and the gate voltage had to be 30 - 50% still higher in order to inject holes. From this fact, it becomes apparent that increasing the capacitance of the insulating film 8, which is a gist of the present invention, is extremely important in order to set the gate voltage within practically usable value.

In the embodiment described in Fig.1, the trapping center layer 9 is formed only on the channel, however, it is needless to say that it may take a structure shown in Fig. 3A, in which the trapping center layer is extended over the source in order to make a large electric capacitance in the insulating film below the gate. It is needless to say that it may take a structure shown in Fig. 3B in which the trapping center layer is extended over the adjoining insulating layer. These variations are based on an identical technical idea of the present invention, so that the structure should be decided in accordance with its purpose.

The present invention also has an object to make the transfer of electron or hole from substrate 1 to the trapping center layer 9 faster as shown in Fig.1. It became clear that the avalanche plasma has several characteristics through experiments of the present invention. One of them resides in that a plasma state takes place only on the p-n reverse bias in the drain, and the movement of the plasma state due to the diffusion of carriers is relatively small, i.e., around 1  $\mu$ . With this, the trapping center layer 9 have to be made of a material with high electric conductivity, unless otherwise it takes more than 100 sec or more to extend on the whole part of the channel. Therefore, it was better to adopt a metal for the trapping center layer 9.

In addition, as the characteristics of memory, though the writing or rewriting operation can be made, the speed of recombination between electron and hole and the mobility thereof in the trapping center layer 9 are far faster in case of silicon than in case of germanium. As a result, in the case of exactly identical condition, for example, in the

structure shown in Fig. 1, and the average thickness of the layer 9 is 300 Å, its write speed and rewrite speed in the case of silicon were up to 1 μsec, however, its write speed and rewrite speed in the case of germanium were able to measure up to 100 nsec. Also, the charge trapping layer 9 is not required as its average thickness to have several thousand Å at all, as in the case of the floating gate, and the average thickness of 500 Å is sufficient, and the function did not change at all even when it has cluster structure with thickness of 300 Å or less.

As is apparent from the description above, the present invention has been made through a theoretical consideration and experimental facts obtained by using the structures manufactured based thereon, and therefore it is believed that the present invention is very important to enable a writing or rewriting operation using an avalanche state that is caused to generate in the vicinity of the drain.

#### Brief Description of the Drawings

Fig. 1 is a horizontal cross sectional view of a semiconductor memory device embodying the present invention; Fig. 2 is a circuit drawing for considering the present invention theoretically. Figs. 3 are cross sectional views showing devices developed from the device of Fig. 1 based on the technical idea of the present invention.

#### Cited Documents

Japanese Patent Application Laid-open No. Sho 48-32444

20 IBM Technical Disclosure Bulletin 13[12], May 1971, P.3636 (1971. USA)

927.017.

⑩日本国特許庁

⑪特許出願公告

## 特許公報

昭52-23532

⑫Int. Cl.<sup>2</sup>

識別記号

⑬日本分類

庁内整理番号

⑭公告 昭和52年(1977) 6月24日

G 11 C 11/40

97(7) C 19

7056-56

G 11 C 11/24

97(7) C 13

7368-56

H 01 L 29/78

99(5) E 3

6426-57

発明の数 2

(全 5 頁)

1

2

## ⑮半導体メモリ装置

⑯特 願 昭46-79998

⑰出 願 昭46(1971)10月11日

公 開 昭48-45143

⑱昭48(1973)6月28日

⑲発 明 者 山崎舜平

東京都千代田区内神田2の14の

6東京電気化学工業株式会社内

同 昌山耕一

同所

⑳出 願 人 東京電気化学工業株式会社

東京都千代田区内神田2の14の

6

## ㉑特許請求の範囲

1 半導体または金属からなる塊状のクラスタまたは膜からなる電荷の捕獲中心層をゲイト絶縁物の内部に有し、前記捕獲中心層と前記ゲイト絶縁物上のゲイト電極との間に構成された静電容量が、前記捕獲中心層と前記ゲイト絶縁物下の半導体基板との間に構成された静電容量に比較して大きい構成を有することを特徴とする半導体メモリ装置。

2 特許請求の範囲第1項記載の半導体メモリ装置において、前記半導体基板には互いに離間してソースおよびドレインが設けられるとともに該ドレインと該ソースまたは前記基板との逆バイアスにより発生した励起された電子またはホールの前記捕獲中心層への注入、捕獲または再結合を前記ゲイト電極に正または負の電圧を印加して実施することを特徴とする半導体メモリ装置。

## 発明の詳細な説明

本発明は半導体または金属の塊状のクラスタまたは膜からなる電荷の捕獲中心層をゲイト絶縁物内部に有し、かかる層とゲイト電極との間に構成された静電容量が上記の捕獲中心と半導体基板との間に設けられた静電容量に比較して大きい構成

を有する半導体メモリ装置に関する。

本発明は、半導体であるシリコン又はゲルマニウムまたは金属であるモリブデン等の塊状のクラスタ又は膜を用いた電荷の捕獲中心層をゲイト絶縁膜内に有するMIS・FET(絶縁ゲイト型電界効果トランジスタ)において、ドレン近傍に逆バイアスを印加してアバランシエプラズマを作り、ゲイト電圧を負又は正に印加することにより捕獲中心層にホール又は電子を注入捕獲させる半導体メモリ装置に関する。

従来、半導体メモリは記憶されている信号が揮発性であるため1ビットに数素子を必要とする。このため、コアメモリに対抗するための半導体メモリ装置としては不揮発性でありかつ1素子で1ビットの記憶をし、かつその書き込み速度は1μ秒以下であることが要求されていた。本発明はかかる要請を満たすためになされたもので以下に図面に従ってその実施例を記す。

半導体基板は、例えば $1 \times 10^{10} \sim 5 \times 10^{10} \text{ cm}^{-3}$ の不純物をもつ(100)面方位のシリコン半導体を用いた。第1図には基板1に設けられたソース3、ドレイン4及びソースリード5、ドレインリード6が記されている。リード5、6と基板1との間の容量結合を除去又は少なくするためにフィールド酸化珪素2が1μの厚さに介在している。酸化膜2の作製方法はMIS・FETを構成する部分に窒化珪素膜でおおった後、水蒸気中900℃で基板を酸化しその後、かかる窒化珪素膜を除去し又基板1の表面と被膜2の表面とを同一平面とするよう過剰部分を除去すればよい。

この後、これらすべてを1200℃で乾燥又は湿酸液中で熱酸化してゲイト絶縁膜10を500～3000Åの厚さに形成する。この酸化膜の厚さをうすくすればするほど、書きこみが容易になるが、実験的には100Å以下になるとアバランシエ状態をくりかえし行うことができず界面特性が劣化してしまうため、少くとも200Å以上の



3

膜厚を必要とすることがわかった。さらにこれらの上面にシリコン又はゲルマニウムをシラン、ゲルマン又は他の塩化物気体により平均膜厚約2000Åまたはそれ以下にデポジットして電荷の捕獲中心層9となる被膜を形成する。ゲルマニウムは真空蒸着法で、モリブデン等の金属の場合はスパッタ法で形成してもよい。平均膜厚が300Å以下のときは、形成された被膜は塊状のクラスタとなりいわゆる被膜形成を有していない。実験の結果捕獲中心層9の厚さは、いわゆる3000~7000Åの厚さを有するシリコンゲイトである必要はなく、平均膜厚が2000Å以下の膜又は塊状のクラスタであつても同様に電荷の注入捕獲が行なわれることがわかった。この後、9の形状とするためフォトリソ法により半導体層9の不要部分を除去する。この後、この半導体層9の上面にうすい絶縁膜を形成したがそれには以下の2つの方法を用いた。その1つは、これら全体を硫酸液中700℃~1100℃で酸化しかかる半導体例えばシリコンの一部を酸化し酸化珪素膜として8を形成したものである。こうしてこの被膜8を高々500Åの厚さに形成した。他の1つは酸化珪素膜に比較して比誘電率の高い材料例えば酸化珪素被膜、酸化アルミニウム、酸化チタンまたは酸化タンタル膜を300~1000Åの厚さに形成した。酸化珪素膜、酸化アルミニウム膜は気相法で作るために300Å以下にピンホールを除去して作ることは不可能であつた。いずれの場合においても、本発明の基本構造である絶縁被膜1.0の厚さに比較して他の絶縁膜8の厚さが十分小さいか又は高い誘電率の材料を用いていわゆる静電容量を捕獲中心層と基板とのそれに比較して大きい構成になつている。かかる後第1図のA、Bの間を残して他を化学エッチ法により除去する。

さらにこの後、これら全体に不純物が多量にドーパされた多結晶シリコンをシラン又はジクロールシランの熱分解により5000Å~1μの厚さにデポジットする。こうすることにより、ソース3とソースリード5及びドレイン3及びドレインリード6は完全にオーム接触がなされる。

最後に、ゲイト電極及びソースリード5ドレインリード6をフォトリソ法により作製した後、ソース、ドレイン拡散した。ソース・ドレイ

4

ンの拡散、特にドレインの拡散の深さは1μ以下実際は0.1~0.3μとした。これは2つの特徴がある。その1つは捕獲中心層9の加熱により、周辺絶縁膜8、10との反応を少なくするためであり、他の1つはアバランシェ状態をドレイン近傍で生じさせる電圧を伝くするためである。アバランシェ電圧はドレイン近傍のP-n接合の逆バイアスの領域でおきるが、このアバランシェ電圧はドレイン端の曲率半径が小さいほど、ドレインの不純物濃度と基板との不純物濃度の比が小さいので低くすることができるからである。

この拡散によるドレインの不純物濃度を $10^{13} \text{ cm}^{-3}$ にすると $10^{20} \text{ cm}^{-3}$ の時に比較してアバランシェ電圧が40%下がった。このため、本実施例においてはドレインの不純物濃度は $10^{13} \text{ cm}^{-3}$ とした。

アバランシェプラズマの状態を生ぜしめるためにはソースとドレインとの間に電圧を加えるか又は基板とドレインとの間に電圧を加えるかすればよく、いずれの場合もドレイン近傍のP-N接合に逆バイアスがかかり、このためP-N接合の表面付近での電界の集中している領域でおきる。アバランシェ状態をおこす位置を集積回路で規定するためには、ゲイトをY軸に、またソース、ドレイン間をX軸にくんだマトリックス構造とすればよい。かかる構造を不要とする時は、基板とドレイン間でアバランシェを生ぜしめればよい。

以上の如き作製工程により本発明の実施がなされたが、第2図は本発明の1つを理論的に示すための原理図である。すなわちゲイト7にゲイト電圧 $V_g$ が印加される。また、8は $C_1 g_1$  (それぞれ静電容量及びコンダクタンスを示す。)を有しキャパシタ10は $C_2 g_2$ で示される。捕獲中心層9にはホール又は電子による電荷 $Q_{ss}$ があり、 $C_2 g_2$ の反対側は基板に接続されている。かかる状態でゲイト電圧 $V_g$ がゲイトに加わつて $Q_{ss}$ は以下の式で与えられる。

$$Q_{ss} = \frac{V_g}{g_1 + g_2} (g_1 C_2 - g_2 C_1)$$

もし、ゲイトに正又は負の電圧が加わると捕獲中心層9には電子又はホールがそれぞれ蓄積されるから上式において $g_2$ 及び $C_1$ を大きくし、

(3)

特 公 昭 5 2 - 2 3 5 3 2

5

$g_1 C_2$ を小さくするならば $Q_{ss}$ を大きくすることができる。 $g_2$ は通常の絶縁物ではほとんど零であるがドレインにアバランシエ状態がおきたとき生ずるプラズマ状態のキャリアである、電子又はホールはきわめて大きな活性化エネルギーを有し、 $g_2$ をみかけ上あたかも $g_2$ が大きくなった状態を呈する。この $g_2$ は、膜厚の小さい方が大きくなる程度が大きいことはいうまでもないが、かといつて膜厚を小さくしすぎるとアバランシエにより絶縁膜そのものが破壊し、捕獲中心層9と基板とが実質的に導通状態になつてしまうことがわかつた。実用上は500 Å以上であつた。もちろんアバランシエ状態をうしなつた時は $g_2$ はほとんど零に近くなる。同時に $Q_{ss}$ が記憶に必要な密度すなわち $5 \times 10^{10} \sim 2 \times 10^{12} \text{ cm}^{-2}$ を有せしめ、かつ実用上ゲイトに加える電圧 $V_g$ を小さくし得るためには、 $C_1$ を $C_2$ に比較してできるだけ大きくする必要があることが以上のことよりわかつた。本発明は、かかる科学的考察のもとにおいてなされたものである。

酸化珪素膜が3000 Åの厚さを有し、容量が4 pFであり、 $C_1$ を4 pF、40 pF、400 pFとかえた場合、ゲイト電圧は電子を注入するのに150 V、40 V、20 Vを必要とし、またホールを注入するためには、これより30~50%多いゲイト電圧を必要とした。このことより、本発明の要旨の1つである絶縁膜8を大容量にすることは、ゲイト電圧を実用的値にするためにきわめて重要であることがわかる。

第1図の実施例においては、捕獲中心層9はチアネル上にのみ作られていたが、ゲイト下の絶縁膜に大容量を作るためソース上にひろがつた第3図Aの如き構造であつてもよく、また隣接した絶縁膜上にひろがつて形成した第3図Bの如くであつてもよいことはいうまでもない。これらは、本発明と同一技術思想であつて、用途によつてその構造が決められるべきである。

本発明はまた第1図にも記されているが電子又はホールの基板1から捕獲中心層9への移動をすみやかに行うためのものである。アバランシエプラズマにいくつかの特長があることが本発明の実

6

験より明らかになつたが、その1つはプラズマ状態がドレインのP-N逆バイアスのところのみでおき、このプラズマ状態のキャリアの拡散による移動は1 μ程度であつて比較的短いということである。このことより捕獲中心層9はできるだけ導電率の高いものでないとチアネル上全体へひろがるのに100 n秒以上の時間を必要としてしまう。このため電荷捕獲中心層9は金属の方がよかつた。

また、メモリとしての特性は書き込み又は再書き込みには行なわれるが、電子とホールの再結合速度及びそれらの捕獲中心層9内での移動度はシリコンよりもゲルマニウムの方が数段はやく、結果として全く同一の条件の場合例えば第1図の構造では、層9の平均膜厚が300 Åのときシリコンでは書き込み速度、再書き込み速度は、1 μ秒までであつたが、ゲルマニウムの場合は100 n秒まで測定できた。又この電荷捕獲中心層9は平均膜厚はフローティングゲイトの如く数千 Åある必要は全くなく500 Åで十分であり、300 Å以下のクラスタ構造であつてもその機能は全く同じであつた。

以上の説明からわかるように、本発明は理論的考察及びそれに基づいて作られた構造を用いた実験事実からなされたものであつて、ドレイン近傍におこさせたアバランシエ状態を利用して情報の書き込み、再書き込みを行うためにきわめて重要であると信ずる。

#### 図面の簡単な説明

第1図は本発明を実施した半導体メモリ装置の横断面図であり、第2図は本発明の1つを理論的に考察するための回路図である。第3図は第1図を本発明の技術思想に従つて発展せしめたもののため断面図である。

#### 引用文献

特 開 昭 4 8 - 3 2 4 4 4

IBM Technical Disclosure Bulletin 13

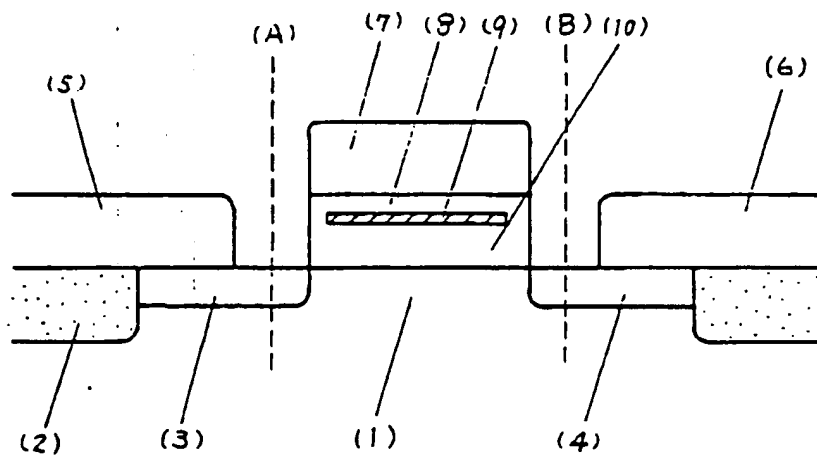
[12] May 1971 P. 3636

(1971, 5米)

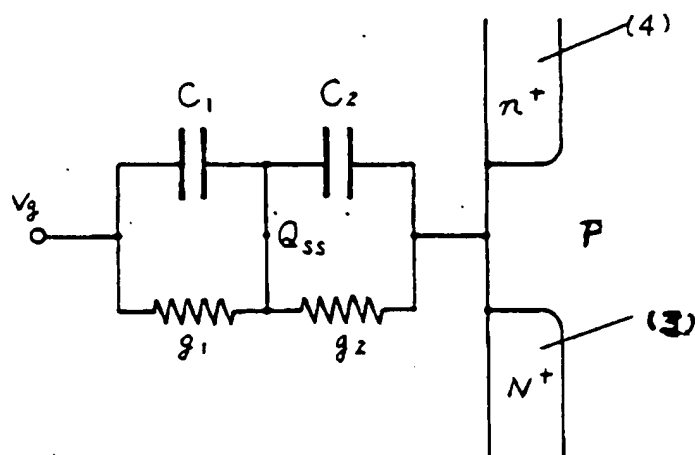
(4)

特公 昭 52-23532

\* 1 図



\* 2 図

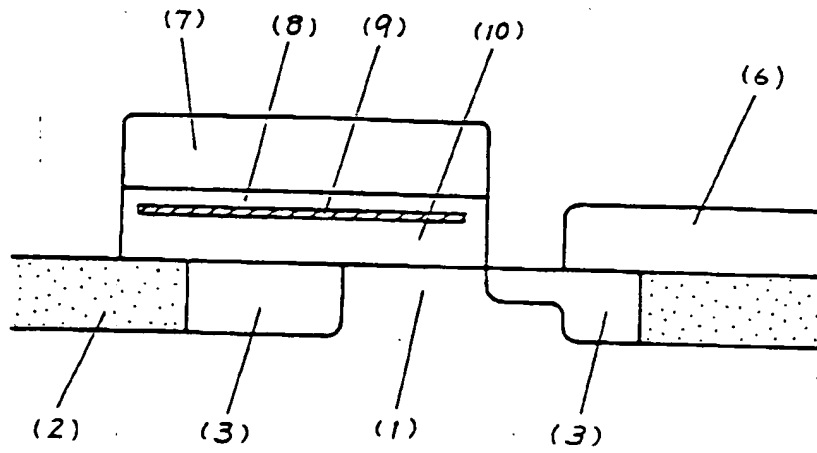


(5)

特公 昭52-23532

第3図

(A)



第3図

(B)

